

540761

Rec'd PCT/PTO 24 JUN 2005

(12)特許協力条約に基づいて公開された国際

(19) 世界知的所有権機関  
国際事務局

10/540761

(43) 国際公開日  
2004年7月22日 (22.07.2004)

PCT

(10) 国際公開番号  
WO 2004/062274 A1

(51) 国際特許分類7: H04N 5/335

(21) 国際出願番号: PCT/JP2003/016550

(22) 国際出願日: 2003年12月24日 (24.12.2003)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:

特願2002-379240

2002年12月27日 (27.12.2002) JP

(71) 出願人(米国を除く全ての指定国について): シャープ  
株式会社 (SHARP KABUSHIKI KAISHA) [JP/JP]; 〒  
545-8522 大阪府 大阪市 阿倍野区長池町 22番 22号  
Osaka (JP).

(72) 発明者; および

(75) 発明者/出願人(米国についてのみ): 渡辺 恭志

(WATANABE,Takashi) [JP/JP]; 〒619-1127 京都府 相  
楽郡 加茂町南加茂台 12-7-14 Kyoto (JP).(74) 代理人: 河宮 治, 外 (KAWAMIYA,Osamu et al.); 〒  
540-0001 大阪府 大阪市 中央区城見 1丁目 3番 7号  
IMPビル 青山特許事務所 Osaka (JP).

(81) 指定国(国内): CN, KR, US.

(84) 指定国(広域): ヨーロッパ特許 (AT, BE, BG, CH, CY,  
CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC,  
NL, PT, RO, SE, SI, SK, TR).

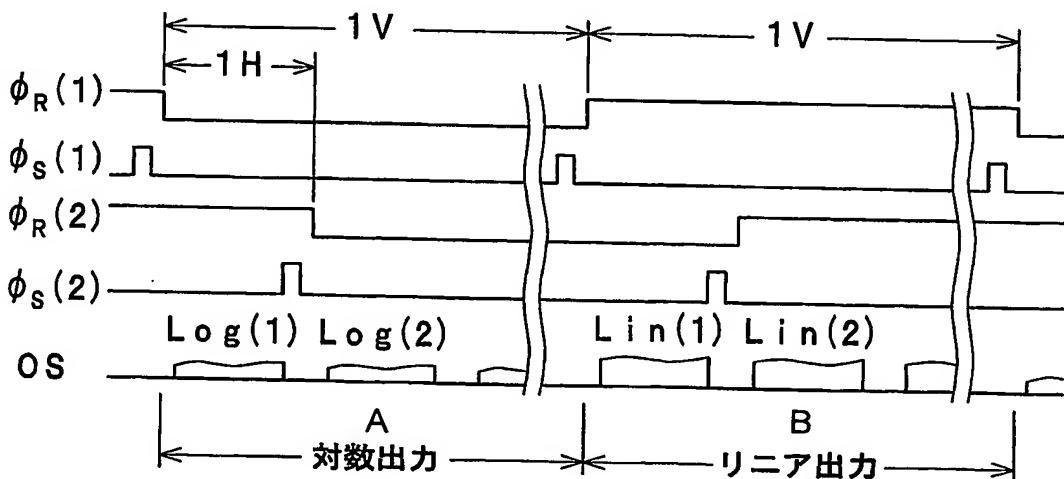
添付公開書類:

— 国際調査報告書

2文字コード及び他の略語については、定期発行される  
各PCTガゼットの巻頭に掲載されている「コードと略語  
のガイドスノート」を参照。

(54) Title: SOLID-STATE IMAGING DEVICE

(54) 発明の名称: 固体撮像装置



A...LOGARITHMIC OUTPUT  
B...LINEAR OUTPUT

(57) Abstract: A solid-state imaging device capable of concurrently attaining a wide dynamic range and a high low-illuminance sensitivity. A photo-diode and a first transistor are provided in series between the ground and the drain, and a signal corresponding to a current or charge generated in the photo-diode according to a light input is output from a detection node between the photo-diode and the first transistor. A control unit performs the control of alternately repeating a logarithmic operation duration for setting the gate potential  $\Phi_R$  of the first transistor to a first level to obtain a logarithm-converted photoelectric conversion signal and a linear operation duration for setting the gate potential  $\Phi_R$  of the first transistor to a second level to obtain a linear photoelectric conversion signal.

[続葉有]

WO 2004/062274 A1



---

(57) 要約: 広いダイナミックレンジと高い低照度感度が共に達成できる固体撮像装置を提供する。画素毎に、グランドとドレインとの間にフォトダイオードと第1トランジスタとが直列に設けられ、光入力に応じて上記フォトダイオードに生起される電流ないし電荷に応じた信号を、上記フォトダイオードと第1トランジスタとの間の検出ノードから出力する。制御部は、第1トランジスタのゲート電位 $\phi_R$ を第1レベルに設定して対数変換された光電変換信号を得る対数型動作期間と、上記第1トランジスタのゲート電位 $\phi_R$ を第2レベルに設定してリニア型の光電変換信号を得るリニア型動作期間とを、交互に繰り返す制御を行う。

## 明細書

## 固体撮像装置

5

## 技術分野

この発明は固体撮像装置に関し、より詳しくは、一般にイメージセンサとして呼ばれているような固体撮像装置に関する。

## 背景技術

10

最近、各画素毎に増幅機能を持たせ走査回路により読み出す増幅型固体撮像装置、特に、画素および周辺の駆動回路や信号処理回路をCMO (Complementary Metal Oxide Semiconductor) 型とした、CMOS型イメージセンサが広く用いられている。CMOS型イメージセンサでは、1画素内に、光電変換部、増幅部、画素選択部等を形成する必要があり、通常、フォトダイオード（以下、PDと省略する場合がある。）からなる光電変換部の他、数個のMOSトランジスタ（以下、Trと省略する場合がある。）が用いられている。

15

図10AにPD+3Tr方式の場合における1画素の構成を示す。ここで1はフォトダイオード、3は検出ノード、4はMOSトランジスタからなるリセット部、5はドレインで電源電圧 $V_D$ が印加される。6はMOSトランジスタからなる増幅部、7はMOSトランジスタからなる画素選択部、8は信号線、 $\phi_{RS}$ はリセットクロック、 $\phi_S$ は画素選択クロックを表す。図10Bは図10Aの動作をポテンシャルで示したものである。

20

25

図10A、10Bにおいて、まずリセット部4によるリセット動作によりフォトダイオード1を電位 $V_D$ にリセットした後、入射光 $h\nu$ によりフォトダイオード1に発生した信号電荷が、浮遊状態の検出ノード3に蓄積される。電荷の蓄積に伴い検出ノード3の電位 $V_S$ は上記電位 $V_D$ から低下し、その低下量は入射光強度と蓄積期間に比例する。従って一定期間の蓄積では電位 $V_S$ の変化量 $\Delta V_S$ は入射光強度に比例し、その値を増幅部6で増幅した後、画素選択部7をスイッチで選択して信号線8に読み出す。図10Aの構成では信号は入射光強度に比

例するため、充分強い光量では飽和してしまい、ダイナミックレンジが広く取れない。

そこで、図11A、11Bに示すように、入射光のダイナミックレンジを広く取るため、光電流を対数圧縮して読み出す方式が提案されている。図11Aはこの例を1画素での回路構成で示した図である。なお、以下ではnチャネル型の場合について述べるが、pチャネル型の場合も極性を逆にすることにより同様に議論できる。ここで1はフォトダイオード、3は検出ノード、4は対数圧縮用トランジスタ、5はドレインで電源電圧 $V_D$ が印加される。6は増幅部、7は画素選択部、8は信号線、 $\phi_s$ は画素選択クロック、 $V_D$ は電源電圧を表す。図10Aの場合と大きく異なるのは、トランジスタ4のゲートにDC(直流)電位 $V_D$ が印加され、リセット動作せず、対数圧縮することである。この動作を以下に述べる。図11Bは図11Aにおけるトランジスタ4の動作をポテンシャル関係で示した図である。

図11Aに示すように、トランジスタ4のゲート電圧はDC電位 $V_D$ に固定されているから、そのポテンシャルは一定値 $\phi_c(H)$ となる。トランジスタ4のソース電位 $V_s$ が上記一定値 $\phi_c(H)$ より深くなると、トランジスタ4は弱反転動作、即ちサブスレッショルド電流 $I_{subth}$ が流れる動作となる。ソース電位 $V_s$ はサブスレッショルド電流 $I_{subth}$ が光電流 $I_p$ に等しくなるよう変化するから、結局、ソース電位 $V_s$ は $\log(I_p)$ に比例する、即ち光電流を対数変換した値となる。これにより、非常に広い入射光量範囲にわたり応答が可能となり、ダイナミックレンジを極めて広く取ることが可能となる。

図11A、11Bに示した対数変換型イメージセンサは、光電流とサブスレッショルド電流が釣合った定常状態で検出するデバイスであり、低入射光量においては図10A、10Bに示す蓄積型イメージセンサのように蓄積時間を増大して信号電荷量を増大する手法が使えない。更に、対数変換できる光電流の下限値 $I_{min}$ は、フォトダイオードの暗電流で制約されるから、温度の上昇等による暗電流の増大は低照度感度の著しい低下を招く。以上の理由から通常、対数変換型イメージセンサの低照度感度は、蓄積型イメージセンサより劣ることになる。

そこで、図12A、12Bに示すように、単一のデバイスで、光入力が小さい

時にはリニア型光電変換特性を示し、光入力が大きい時には対数型光電変換特性を示す方式が提案されている（例えば、特開平10-90058号公報、特開2000-175108号公報参照。）。図12Aは1画素の構成を示し、図10Aと同様、1はフォトダイオード、3は検出ノード、4はリセット部、5はドレンで電源電圧 $V_D$ が印加される。6は増幅部、7は画素選択部、8は信号線、 $\phi_s$ は画素選択クロックを表す。リセット部4のゲート $V_G$ にはスイッチ9を介して、電源電圧 $V_D$ と、その電源電圧 $V_D$ より十分高い電圧 $V_H$ が一定周期で交互に印加される。図12Aの動作を、図12Bではポテンシャルで示し、図12Cではタイミングで示す。図12A、12B、12Cにおいて、まず期間 $T_2$ においてスイッチ9によりリセット部4のゲート $V_G$ に上記電圧 $V_H$ を印加する。このときリセット部4のゲート下のポテンシャル $\phi_G$  ( $V_H$ )は電源電圧 $V_D$ より深くなり、検出ノード3の電位は電源電圧 $V_D$ にリセットされる。次に、期間 $T_1$ においてスイッチ9によりリセット部4のゲート $V_G$ に電源電圧 $V_D$ を印加する。このときリセット部4のゲート下のポテンシャル $\phi_G$  ( $V_D$ )は電源電圧 $V_D$ より浅くなり、検出ノード3の電位はフローティング状態となる。入射光 $h\nu$ により、フォトダイオード1に信号電荷が発生すると、その信号電荷は検出ノード3に蓄積される。信号電荷の蓄積に伴い、検出ノード3の電位 $V_s$ は電源電位 $V_D$ から低下する。その低下量は入射光強度と蓄積期間に比例する。従って一定期間の蓄積では、検出ノード3の電位 $V_s$ の変化量 $\Delta V_s$  1は入射光強度に比例する。検出ノード3の電位 $V_s$ が或るポテンシャルの値 $\phi_0$ まで低下すると、リセット部4では弱反転動作、即ちサブスレッショルド電流 $I_{subth}$ が流れる動作となる。検出ノード3の電位 $V_s$ はサブスレッショルド電流 $I_{subth}$ が光电流 $I_p$ に等しくなるよう上記値 $\phi_0$ からの変化分 $\Delta V_s$  2まで変化するから、結局、上記値 $\Delta V_s$  2は $\log(I_p)$ に比例する、即ち光电流を対数変換した値となる。

以上より、 $V_D \geq V_s > \phi_0$ では、検出ノード3の電位 $V_s$ の変化量 $\Delta V_s$  1は入射光強度に比例し、 $\phi_0 \geq V_s > \phi_G (V_D)$ では、検出ノード3の電位 $V_s$ の変化量 $\Delta V_s$  2は $\log(I_p)$ に比例する。ここで $\phi_G (V_D)$ は $V_G$ に $V_D$ を印加したときのリセット部4のゲート下のポテンシャルである。従って、入射光に対する検出ノード3の電位 $V_s$ の変化は、図12Dに示すように、光入力が小さい時にはリニア型光

電変換特性を示し、光入力が大きい時には対数型光電変換特性を示す。これにより、低照度では感度の高いリニア型動作とともに、高照度ではダイナミックレンジの広い対数型動作とすることができます。

しかしながら図12A、12B、12C、12Dの方式には以下の問題がある。

まず、リニア型動作と対数型動作の境界となるポテンシャルの値 $\phi_0$ は画素毎にばらつく。従ってそのままでは、対数型動作領域では非常に大きなザラ状の固定パターンノイズが発生する。次に、毎回の光検出動作で検出ノード3（容量をC<sub>1</sub>とする。）をリセット動作させるため、電子数にして

$$\Delta n = (k T C_1)^{1/2} / q$$

で表される、いわゆるkTCノイズ（熱雑音）が発生する。これはランダムノイズとなる。ここで、kはボルツマン定数、Tは絶対温度、qは電子電荷量を表す。これら固定パターンノイズおよびランダムノイズは、画質を大きく劣化させる。

#### 発明の開示

そこで、この発明の課題は、上に述べたような様々な問題を解消して、広いダイナミックレンジと高い低照度感度が共に達成できる固体撮像装置を提供することにある。

上記課題を解決するため、この発明によれば、

画素毎に、グランドとドレインとの間にフォトダイオードと第1トランジスタとが直列に設けられ、光入力に応じて上記フォトダイオードに生起される電流ないし電荷に応じた信号を、上記フォトダイオードと第1トランジスタとの間の検出ノードから出力する固体撮像装置において、

上記第1トランジスタのゲート電位を第1レベルに設定して対数変換された光電変換信号を得る対数型動作期間と、上記第1トランジスタのゲート電位を第2レベルに設定してリニア型の光電変換信号を得るリニア型動作期間とを、交互に繰り返す制御を行う制御部を備えたことを特徴とする固体撮像装置が提供される。

なお、「第1レベル」、「第2レベル」は、上記第1トランジスタのゲート直下で信号電荷のポテンシャルがそれぞれ深くなるレベル、浅くなるレベルに設定

すれば良い。例えばnチャネル型固体撮像装置であれば、「第1レベル」、「第2レベル」はそれぞれハイレベル、ローレベルに対応する。

この発明の固体撮像装置では、制御部による制御によって、上記第1トランジスタのゲート電位を第1レベルに設定して対数変換された光電変換信号を得る対数型動作期間と、上記第1トランジスタのゲート電位を第2レベルに設定してリニア型の光電変換信号を得るリニア型動作期間とを、交互に繰り返す。

対数型動作期間には、検出ノードに対数変換された光電変換信号を得ることができる。したがって、その信号を検出ノードから取り出して転送することにより、ダイナミックレンジの広い対数型信号が outputされる。他方、リニア型動作期間には、検出ノードにリニア型の光電変換信号を得ることができる。したがって、その信号を検出ノードから取り出して転送することにより、低照度で高感度なリニア型信号が outputされる。したがって、この固体撮像装置によれば、広いダイナミックレンジと高い低照度感度が共に達成できる。

一実施形態の固体撮像装置では、上記フォトダイオードと検出ノードとが接続されている。つまり、上記フォトダイオードの一端子と検出ノードとが短絡しても良い。

一実施形態では、

上記フォトダイオードと検出ノードとの間に第2トランジスタが接続されていることを特徴とする。

この一実施形態の固体撮像装置では、上記フォトダイオードと検出ノードとの間に第2トランジスタが接続されているので、検出ノードの容量を小さくすることができ、リニア型動作期間における電荷電圧変換効率を高めることができとなる。

一実施形態の固体撮像装置は、上記フォトダイオードが埋め込みチャネル構造を有することを特徴とする。

この一実施形態の固体撮像装置では、上記フォトダイオードが埋め込みチャネル構造を有するので、フォトダイオードで発生する暗電流を大幅に削減することが可能となる。したがって、対数型動作期間に、対数変換できる光電流の下限を拡大することが可能となる。また、リニア型動作期間においても、暗電流ノイズ

を削減することができる。

一実施形態では、

上記制御部は、

上記対数型動作期間とリニア型動作期間とをフレーム毎に交互に繰り返し、

5 上記リニア型動作期間から対数型動作期間へ遷移する直前に上記検出ノード電位をリニア型信号として読み出し、

上記対数型動作期間に遷移した後一定期間経過後のその対数型動作期間内に、上記検出ノード電位を対数型信号として読み出すように制御する。

この一実施形態の固体撮像装置では、上記対数型動作期間とリニア型動作期間とをフレーム毎に交互に繰り返す。上記リニア型動作期間に遷移した後、つまり上記第1トランジスタのゲート電位が第1レベルから第2レベルに変化した後、検出ノードに光電変換された電荷が蓄積され始める。次に上記リニア型動作期間から対数型動作期間へ遷移する直前、つまり上記第1トランジスタのゲート電位が第2レベルから第1レベルへ変化する直前には、上記検出ノードには電荷が最も多く蓄積されている。その電荷をリニア型信号として読み出せば、高感度の出力が得られる。また、上記第1トランジスタのゲート電位が第2レベルから第1レベルへ変化した後、或る程度の期間が経過すれば、光電流とサブスレショルド電流が釣合った定常状態になると考えられる。したがって、上記対数型動作期間に遷移した後一定期間経過後のその対数型動作期間内には、上記検出ノードから電荷を対数型信号として読み出すことができる。

一実施形態の固体撮像装置は、

各画素に対して均一な或る強度で光が照射された条件下で、上記対数型動作期間内に上記各画素の検出ノードから読み出された信号を記憶する第1フレームメモリと、

25 その後、任意のフレームで読み出される信号から上記第1フレームメモリに記録された信号を、上記各画素毎に対応付けて減算して出力する減算部とを備える。

この一実施形態の固体撮像装置では、各画素に対して均一な或る強度で光が照射された条件下で、上記対数型動作期間内に上記各画素の検出ノードから読み出

された信号を第1フレームメモリに記録する。その後、任意のフレームで読み出される信号から上記第1フレームメモリに記録された信号を、上記各画素毎に対応付けて減算して出力する。したがって、画素毎の特性ばらつき、特に、トランジスタの閾値のばらつきに起因する特性ばらつき（「オフセットばらつき」と呼ばれる。）を相殺できる。したがって、固定パターンノイズの少ない画像を得ることができる。

一実施形態では、

上記減算部は、上記対数型動作期間に読み出される信号から上記第1フレームメモリに記録された信号を、上記各画素毎に対応付けて減算して出力する。

この一実施形態の固体撮像装置では、固定パターンノイズの少ないワイドダイナミックレンジ画像を得ることができる。

一実施形態の固体撮像装置は、

被写体撮像条件下で、上記対数型動作期間からリニア型動作期間へ遷移する直前に上記検出ノードから読み出された信号を毎回記録する第2フレームメモリと、上記リニア型動作期間から対数型動作期間へ遷移する直前に上記検出ノードから読み出される信号から上記第2フレームメモリに記録された信号を、上記各画素毎に対応付けて減算する減算部とを備えることを特徴とする。

この一実施形態の固体撮像装置では、各画素に対して均一な或る強度で光が照射された条件下で、上記対数型動作期間からリニア型動作期間へ遷移する直前に上記検出ノードから読み出された信号を第2フレームメモリに記録する。その後、上記リニア型動作期間から対数型動作期間へ遷移する直前に上記検出ノードから読み出される信号から上記第2フレームメモリに記録された信号を、上記各画素毎に対応付けて減算する。したがって、正味のリニア信号成分のみを取り出すことが可能となる。更にこの場合、信号電荷が蓄積する最初と最後の信号差を取るから、リセットノイズを完全に除去した高感度画像を得ることが可能となる。

#### 図面の簡単な説明

図1A、1Bは本発明の固体撮像装置を適用した一実施形態の2次元イメージ

センサに用いられる画素の回路構成を示す図である。

図 2 A、2 B は図 1 A、1 B に示す画素の、対数動作時におけるポテンシャル分布を示す図である。

図 3 A、3 B は図 1 A、1 B に示す画素の、リニア動作時におけるポテンシャル分布を示す図である。

図 4 A、4 B、4 C は図 1 A、1 B に示す画素を半導体基板に作り込んだときの断面構造を示す図である。

図 5 は本発明の固体撮像装置を適用した一実施形態の 2 次元イメージセンサの回路構成を示す図である。

図 6 は図 5 に示す 2 次元イメージセンサの動作タイミングを示す図である。

図 7 A、7 B、7 C は本発明により得られる対数型信号およびリニア型信号を、入射光強度との関係により表した図である。

図 8 A、8 B は本発明の 2 次元イメージセンサにおいて、画像信号処理を行うシステムを示す図である。

図 9 A、9 B、9 C は本発明の 2 次元イメージセンサにおける、動作タイミングの他の例を示す図である。

図 10 A、10 B は従来のリニア変換型固体撮像装置の、画素の動作を説明する図である。

図 11 A、11 B は従来の対数変換型固体撮像装置の、画素の動作を説明する図である。

図 12 A、12 B、12 C、12 D は従来のリニア変換特性と対数変換特性を加算する固体撮像装置の、画素の動作を説明する図である。

## 発明を実施するための最良の形態

以下、この発明を図示の実施の形態により詳細に説明する。

図 5 は本発明の一実施形態の 2 次元イメージセンサ 10 を  $2 \times 2$  画素での回路構成で示した図である。この 2 次元イメージセンサ 10 において、11 は後述する回路構成からなる画素、12 は第 1 トランジスタに印加されるリセットクロック  $\phi_R$  のためのライン、13 は画素選択クロック  $\phi_S$  のためのライン、14

は信号  $V_{sig}$  のためのライン、15は電源電圧  $V_D$  を表す。上記リセットクロック  $\phi_R$ 、画素選択クロック  $\phi_s$  はそれぞれ、リセット走査回路 16 および垂直読み出し走査回路 17 から行単位で垂直方向に順次出力される。各画素から行単位で読み出された信号  $V_{sig}$  は、水平走査回路 19 からの信号により水平信号線 18 へ、  
5 水平方向に順次読み出される。水平信号線 18 からの信号は、アンプ回路 20 を介して出力信号  $OS$  として出力する。この2次元イメージセンサ 10 の全体の動作は、制御部の一例としてのCPU (中央演算処理装置) 90 によって制御される。

図1Aは、図5中に示した各画素 11 の回路構成を例示している。ここで、1  
10 はフォトダイオード、3は検出ノード、4は第1トランジスタ、5はドレインで電源電圧  $V_D$  が印加される。6はMOSトランジスタからなる増幅部、7はMOSトランジスタからなる画素選択部、8は信号線、 $\phi_R$  はリセットクロック、 $\phi_s$  は画素選択クロックを表す。グランド (接地) とドレイン 5 との間にフォトダイオード 1 と第1トランジスタ 4 とが直列に設けられている。この画素 11 を用いて、次のように対数動作およびリニア動作を行う。  
15

図2Aは、図1Aの画素を用いて対数動作を行う場合のポテンシャル関係を示したものである。この場合、第1トランジスタ 4 のゲートはDCレベルに保持され、そのポテンシャルは一定値  $\phi_c(H)$  となる。第1トランジスタ 4 のソース電位  $V_s$  が上記一定値  $\phi_c(H)$  より深くなると、トランジスタ 4 は弱反転動作となり、  
20 サブスレッショルド電流  $I_{subth}$  が流れる。上記ソース電位  $V_s$  はサブスレッショルド電流  $I_{subth}$  が光電流  $I_p$  に等しくなるよう変化するから、

$$V_s = K_1 \cdot \log(I_p) + K_2 \quad \dots (1)$$

となり、上記ソース電位  $V_s$  は光電流  $I_p$  を対数変換した値  $V_s(\log)$  となる。ここで、 $K_1$ 、 $K_2$  は定数である。これにより、非常に広い入射光量範囲にわたり応答が可能となり、ダイナミックレンジを極めて広く取ることが可能となる。  
25

図3Aは、図1Aの画素を用いてリニア動作を行う場合のポテンシャル関係を示したものである。この場合、第1トランジスタ 4 にはパルス  $\phi_R$  が印加される。まず、信号蓄積開始前まで第1トランジスタ 4 のゲートはハイレベルが十分長い期間保持されており、ソース電位  $V_s$  は光電流  $I_p$  とサブスレッショルド電流

$I_{subth}$ が等しくなる値  $V_s$  (log) となる。次に第1トランジスタ4のゲートはローレベルに変化し、信号蓄積が開始する。1フレーム期間経過後、ソース電位は  $V_s$  (lin) まで低下する。従って、信号蓄積によるソース電位  $V_s$  の変化量  $\Delta V_s = V_s$  (lin) -  $V_s$  (log) は、

$$5 \quad \Delta V_s = (I_p \cdot \Delta T) / C_1 \quad \cdots (2)$$

となり、光電流  $I_p$  をリニア変換した値となる。ここで  $\Delta T$  は蓄積時間、  $C_1$  は図 1 A に示す検出ノード3の容量である。

10 図 1 B は、図 5 中に示した各画素 1 1 の、図 1 A とは別の回路構成を例示している。この図 1 B の回路構成は、図 1 A のものに対して、フォトダイオード 1 と 検出ノード 3 との間に第2トランジスタ 2 を介挿した点が相違している。トランジスタ 2 のゲートには DC 電位  $\phi_T$  が印加される。

15 図 2 B は、図 1 B の画素を用いて対数動作を行う場合のポテンシャル関係を示したものである。フォトダイオード 1 では光電流  $I_p$  が発生するが、第2トランジスタ 2 のゲートの電位  $\phi_T$  は DC 電位であるから、定常状態ではその第2トランジスタ 2 を光電流  $I_p$  に相当する電流が流れ、フォトダイオード 1 の電位は一定値に保持される。ここで更に、第1トランジスタ 4 のゲートの電位  $\phi_R$  は DC 電位であり、サブスレッショルド電流  $I_{subth}$  が流れる。検出ノード 3 の電位  $V_s$  はサブスレッショルド電流  $I_{subth}$  が光電流  $I_p$  に等しくなるよう変化するから、上記式 (1) に従い、検出ノード 3 の  $V_s$  は光電流  $I_p$  を対数変換した値  $V_s$  (log) となる。これにより、非常に広い入射光量範囲にわたり応答が可能となり、ダイナミックレンジを極めて広く取ることが可能となる。

20 図 3 B は、図 1 B の画素を用いてリニア動作を行う場合のポテンシャル関係を示したものである。フォトダイオード 1 では光電流  $I_p$  が発生するが、第2トランジスタ 2 のゲートの電位  $\phi_T$  は DC 電位であるから、定常状態ではそのゲートを光電流  $I_p$  に相当する電流が流れ、フォトダイオード 1 の電位は一定値に保持される。ここで更に、第1トランジスタ 4 のゲートにはパルス  $\phi_R$  が印加される。まず信号蓄積開始前まで第1トランジスタ 4 はハイレベルが十分長い期間保持されており、ソース電位は光電流  $I_p$  とサブスレッショルド電流が等しくなる値  $V_s$  (log) となる。次に第1トランジスタ 4 のゲート電位はローレベルに変化し、信

号蓄積が開始する。1フレーム期間経過後、ソース電位は $V_s$  (lin)まで低下する。従って、信号蓄積による $V_s$ の変化量 $\Delta V_s = V_s$  (lin) -  $V_s$  (log)は、

$$\Delta V_s = (I_p \cdot \Delta T) / C_2 \quad \dots (3)$$

となり、光電流 $I_p$ をリニア変換した値となる。ここで $\Delta T$ は蓄積時間、 $C_2$ は図1Bに示す検出ノード3の容量である。 $C_1 =$  (フォトダイオード1の容量 + トランジスタ6のゲート容量 + 配線等浮遊容量) であるが、 $C_2 =$  (トランジスタ6のゲート容量 + 配線等浮遊容量) であり、図3Bでの検出ノード3の面積は図3Aでのフォトダイオード1の面積より十分小さくできるため、 $C_1 > C_2$ となる。即ち、図3Bの場合は、図3Aの場合に比べ、同じ信号電荷量 $I_p \cdot \Delta T$ でより高い信号電圧 $\Delta V_s$ を得ることが可能となる。

図4Aは、図1Aの画素を半導体基板に作り込んだときの断面構造を模式的に示している。同様に、図4Bおよび図4Cは、図1Bの画素を半導体基板に作り込んだときの断面構造を模式的に示している。ここで、101は半導体基板、102は画素分離領域、103はフォトダイオード1 (図1Aおよび1Bを参照) のカソード、104はドレイン5、111は第1トランジスタ4を表す。図4Bおよび4Cでは、105が独立した検出ノードであり、第2トランジスタ112を介してフォトダイオード1のカソード103から分離されている。更に、図4Aおよび4Bでは、フォトダイオード1は単純なPN接合構造であり、ドレイン104と同時に形成されるが、図4Cではフォトダイオードは埋め込みチャネル構造を持ち、ドレインとは別に形成される。即ち、基板側に信号電荷蓄積層106が形成されると共に、表面側には高濃度ピンニング層107が形成される。一般に埋め込みチャネル構造フォトダイオードは、単純なPN接合構造に比べ暗電流を大幅に低減することが可能となる。これにより、対数型動作時の対数変換できる光電流の下限 $I_{min}$ を拡大する事が可能となる。また、リニア型動作においても暗電流ノイズを削減することができる。

図6は図5に示した2次元イメージセンサ10の動作タイミングを示している。ここで、 $\phi_R$  (1)、 $\phi_R$  (2)は1行目および2行目のリセットクロック、 $\phi_s$  (1)、 $\phi_s$  (2)は1行目および2行目の画素選択クロック、OSは出力信号を表す。また1Hは1水平走査期間、1Vは1フレーム期間を表す。1行目の画素に着目すると、

まず先行する（図 6 中に左端に示す）対数型動作期間としてのフレームにおいて、リセットクロック即ち第 1 トランジスタ 4（図 1 A および 1 B を参照）のゲート電位  $\phi_R$  (1) をハイレベルに維持し、検出ノード 3 に対数変換された光電変換信号を得る。その後、上記第 1 トランジスタ 4 のゲート電位  $\phi_R$  (1) をハイレベルからローレベルに変化させてリニア型動作期間に遷移する。そして、1 フレーム期間だけ検出ノード 3 に光電変換された電荷を蓄積することにより、検出ノード 3 にリニア型の光電変換信号を得る。ここでゲート電位  $\phi_R$  (1) がハイレベルからローレベルに変化する直前に画素選択クロック  $\phi_s$  (1) をオンとして、対数変換された光電変換信号 Log(1) を出力信号 OS として出力する。1 フレーム後、つまりリニア型動作期間から対数型動作期間へ遷移して上記第 1 トランジスタ 4 のゲート電位  $\phi_R$  (1) がローレベルからハイレベルに変化する直前に画素選択クロック  $\phi_s$  (1) をオンとして、リニア型の光電変換信号 Lin(1) を出力信号 OS として出力する。2 行目以降の画素についても 1 水平走査期間単位で順次遅れることを除き同様である。こうして出力信号 OS には、対数変換された光電変換信号 Log(1)、Log(2) 等が 1 H 単位で得られるフレームと、リニア型の光電変換信号 Lin(1)、Lin(2) 等が 1 H 単位で得られるフレームとが交互する。

図 7 A および図 7 B は、画素の検出ノード 3 の電位として得られる、対数変換された光電変換信号  $V_s(\log)$  およびリニア型の光電変換信号  $V_s(\text{lin})$  を、入射光強度の対数  $\log(I_p)$  を横軸として表した図である。（図 1 A および 1 B の場合、入射光増大に対する検出ノード 3 の電位  $V_s$  の変化は負方向であるため、図 7 A および図 7 B では便宜のため反転して表す。）ここで対数変換された光電変換信号  $V_s(\log)$  は、読み出し期間、図 6 の場合では 1 フレーム期間（適宜「1 V 期間」という。）の長さに依存しない。他方、リニア型の光電変換信号  $V_s(\text{lin})$  は、1 V 期間が信号蓄積期間となるから、1 V 期間が長いほど出力は大きくなる。図 7 A は 1 V 期間が長い場合、図 7 B は 1 V 期間が短い場合に相当する。入射光強度に対する  $V_s(\log)$  の値は、応答の下限値  $I_{\min}$  が暗電流で制限される一方、上限値はリニア型の光電変換信号  $V_s(\text{lin})$  に比べ極めて高い。他方、入射光強度に対するリニア型の光電変換信号  $V_s(\text{lin})$  の値は、直前の対数変換型の光電変換信号  $V_s(\log)$  の値の上にリニア変換された信号が上積みされた形態となるから、正

味のリニア信号成分は、 $\Delta V_s = V_s(\text{lin}) - V_s(\log)$  となる。図 7 A のように蓄積時間が長い場合、 $\Delta V_s$  の値は  $V_s(\log)$  より十分大となり、 $V_s(\text{lin})$  も  $\Delta V_s$  とほぼ同じリニアなグラフとなる。他方、図 7 B のように蓄積時間が短い場合、 $\Delta V_s$  の値は低入射光強度側で  $V_s(\log)$  より低い値となり、 $V_s(\text{lin})$  は  $\Delta V_s$  とはかなり変化したリニアでないグラフとなる。

図 7 C は、本発明によるイメージセンサにおける出力信号を、入射光強度の対数  $\log(I_p)$  を横軸として表した図である。ここで実線は画素全体の平均値  $\langle O_S \rangle$  を示し、点線はある特定の画素（アドレスが i 行、j 列目の画素）の値  $O_{Sij}$  を示す。図 1 A に示す画素の場合、トランジスタ 4 および 6 の閾値ばらつきにより、各画素の応答はそれぞれ特定のオフセットばらつき  $\Delta V_{ij}$  を伴い、 $\Delta V_{ij}$  の値は画素毎に異なる。従って各画素の応答をそのまま映像信号とした場合、 $\Delta V_{ij}$  がザラ状の固定パターンノイズとして画質を大きく損ねる。

図 8 A は、この固定パターンノイズに関する問題を解決するための回路構成 30 を例示している。本回路構成 30 では、本発明によるイメージセンサ 31（図 5 に示したイメージセンサ 10 と同じもの）からのアナログ信号を、AD 変換器 33 によりデジタル信号に変換する。AD 変換器 33 からの信号は分岐され、一方は直接、減算部の一例としての差分回路 37 へ導かれ、他方は第 1 フレームメモリとしてのフレームメモリ 34 を介して差分回路 37 へ導かれる。各画素に対して均一な或る強度（図 7 C において  $I_{p1}$  と示す）で光が照射された条件下で、上記イメージセンサ 31 から対数変換された光電変換信号が outputされる時、その信号を画素単位でフレームメモリ 34 に記録する。これにより、フレームメモリ 34 に画素毎のオフセットばらつき  $\Delta V_{ij}$  が記録される。次に差分回路 37 において、被写体撮像条件下で任意のフレームで読み出される信号からフレームメモリ 34 に記録された信号を、各画素毎に対応付けて減算する。これにより全てのフレーム信号、即ち対数変換された光電変換信号  $O_S(\log)$  およびリニア型光電変換信号  $O_S(\text{lin})$  において、オフセットばらつき  $\Delta V_{ij}$  がキャンセルされ、固定ザラノイズのない画像信号を得ることができる。

図 8 A におけるリニア型光電変換信号  $O_S(\text{lin})$  は、オフセットばらつき  $\Delta V_{ij}$  はキャンセルされているが、対数特性とリニア特性が加算された特性となって

いる。このため、図 7 A のようにリニア特性値が対数特性値より十分大きい場合はほぼリニアな特性となって問題ないが、図 7 B のように一部入射光量でリニア特性値が対数特性値より低くなる場合には、リニアな特性とならず問題となる。

図 8 B は、このリニア特性に関する問題を解決するための他の回路構成 40 を例示している。本回路構成 40 では、本発明によるイメージセンサ 31 からのアナログ信号を、AD変換器 33 によりデジタル信号に変換する。AD変換器 33 からの信号は 3 つに分岐され、第 1 の分枝は直接、減算部の一例としての差分回路 37 へ導かれる。第 2 の分枝は、第 1 フレームメモリとしてのフレームメモリ 34、および切替スイッチ 36 を介して差分回路 37 へ導かれる。また、第 3 の分枝は、第 2 フレームメモリとしてのフレームメモリ 35、および切替スイッチ 36 を介して差分回路 37 へ導かれる。フレームメモリ 34 には、図 8 A の場合と同様、各画素に対して均一な或る強度で光が照射された条件下で、上記イメージセンサ 31 から対数変換された光電変換信号が画素単位で記録される。これにより、フレームメモリ 34 に画素毎のオフセットばらつき  $\Delta V_{ij}$  が記録される。フレームメモリ 35 には、被写体撮像条件下で上記リセットゲート電位がハイレベルからローレベルへ変化する直前に読み出しされる対数型信号が毎回書き替え記録される。切替スイッチ 36 は、リニア信号読み出し時にはフレームメモリ 35 側へ接続されるから、次に上記リセットゲート電位がローレベルからハイレベルへ変化する直前に読み出されるリニア信号から上記フレームメモリ 35 に記録した信号が各画素に対応して減算される。これにより、光積分期間に蓄積した信号電荷に対応した正味のリニア信号のみが読み出される。更に本手法のメリットとして、リセット動作に伴うランダムノイズも上記減算処理により打ち消されるから、固定ノイズのみでなくランダムノイズをも大幅に低減すことが可能となる。他方、切替スイッチ 36 は、対数型信号読み出し時にはフレームメモリ 34 側へ接続されるから、差分回路 37 において、対数型信号から該フレームメモリ 34 に記録した信号を各画素に対応して減算する。これにより対数変換された光電変換信号 O S (log) において、オフセットばらつき  $\Delta V_{ij}$  がキャンセルされ、固定ザラノイズのない画像信号を得ることができる。

なお、上述の例（図 6）では、対数型動作期間とリニア型動作期間とが 1 フレ

ーム期間毎に交互に繰り返される場合について示したが、本発明はこれに限定されるものではない。図9A、9B、9Cに示すような様々な組み合わせが可能である。図9Aは図6と同じ場合であるが、図9Bは、1フレームのリニア型動作期間と2フレームの対数型動作期間とが交互に繰り返される場合を示している。

5 図9Cは、1フレームのリニア型動作期間と3フレームの対数型動作期間とが交互に繰り返される場合を示している。同様に、他の組み合わせも勿論可能である。

## 請求の範囲

1. 画素毎に、グランドとドレインとの間にフォトダイオードと第1トランジスタとが直列に設けられ、光入力に応じて上記フォトダイオードに生起される電流ないし電荷に応じた信号を、上記フォトダイオードと第1トランジスタとの間の検出ノードから出力する固体撮像装置において、

上記第1トランジスタのゲート電位を第1レベルに設定して対数変換された光電変換信号を得る対数型動作期間と、上記第1トランジスタのゲート電位を第2レベルに設定してリニア型の光電変換信号を得るリニア型動作期間とを、交互に繰り返す制御を行う制御部を備えたことを特徴とする固体撮像装置。

2. 請求項1に記載の固体撮像装置において、

上記フォトダイオードと検出ノードとが接続されていることを特徴とする固体撮像装置。

3. 請求項1に記載の固体撮像装置において、

上記フォトダイオードと検出ノードとの間に第2トランジスタが接続されていることを特徴とする固体撮像装置。

4. 請求項3に記載の固体撮像装置において、

上記フォトダイオードが埋め込みチャネル構造を有することを特徴とする固体撮像装置。

5. 請求項1に記載の固体撮像装置において、

上記制御部は、

上記対数型動作期間とリニア型動作期間とをフレーム毎に交互に繰り返し、

上記リニア型動作期間から対数型動作期間へ遷移する直前に上記検出ノード電位をリニア型信号として読み出し、

上記対数型動作期間に遷移した後一定期間経過後のその対数型動作期間内に、

上記検出ノード電位を対数型信号として読み出すように制御することを特徴とする固体撮像装置。

6. 請求項 5 に記載の固体撮像装置において、

5 各画素に対して均一な或る強度で光が照射された条件下で、上記対数型動作期間内に上記各画素の検出ノードから読み出された信号を記憶する第 1 フレームメモリと、

その後、任意のフレームで読み出される信号から上記第 1 フレームメモリに記録された信号を、上記各画素毎に対応付けて減算して出力する減算部と  
10 を備えることを特徴とする固体撮像装置。

7. 請求項 6 に記載の固体撮像装置において、

上記減算部は、上記対数型動作期間に読み出される信号から上記第 1 フレームメモリに記録された信号を、上記各画素毎に対応付けて減算して出力することを  
15 特徴とする固体撮像装置。

8. 請求項 5 に記載の固体撮像装置において、

被写体撮像条件下で、上記対数型動作期間からリニア型動作期間へ遷移する直前に上記検出ノードから読み出された信号を毎回記録する第 2 フレームメモリと、

20 上記リニア型動作期間から対数型動作期間へ遷移する直前に上記検出ノードから読み出される信号から上記第 2 フレームメモリに記録された信号を、上記各画素毎に対応付けて減算する減算部と  
を備えることを特徴とする固体撮像装置。

Fig. 1A

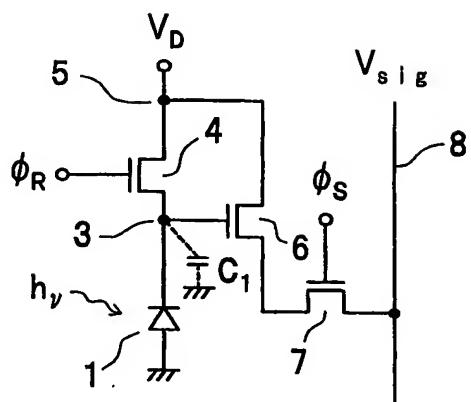


Fig. 1B

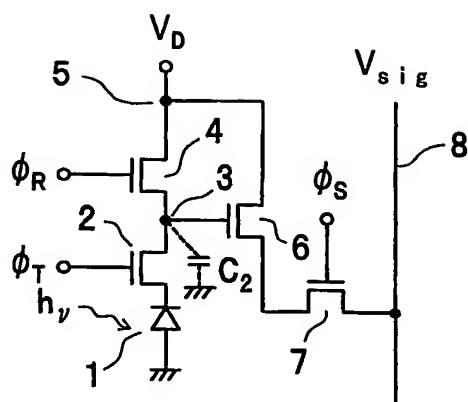


Fig. 2A

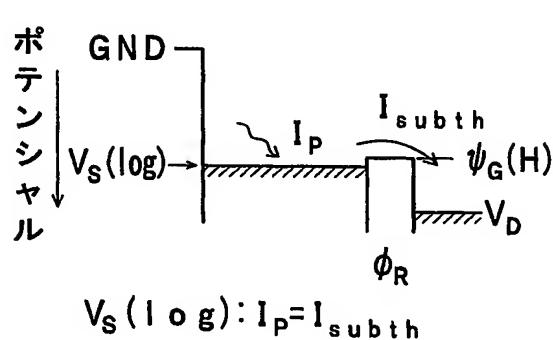


Fig. 2B

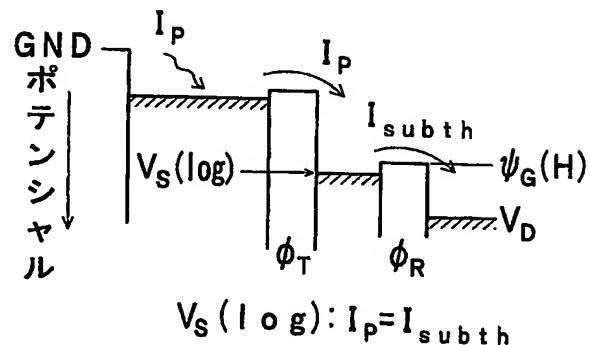


Fig. 3A

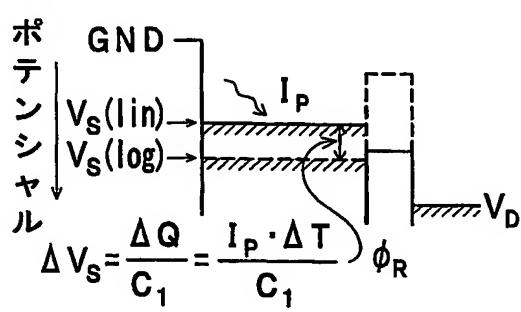
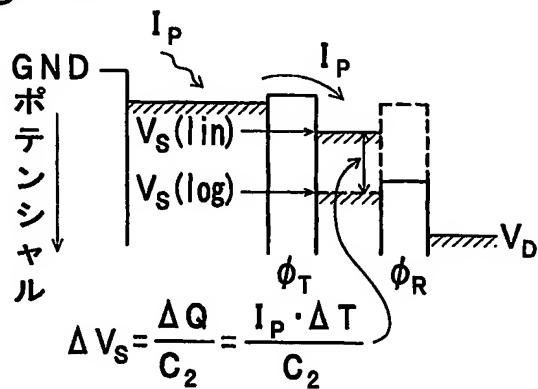


Fig. 3B



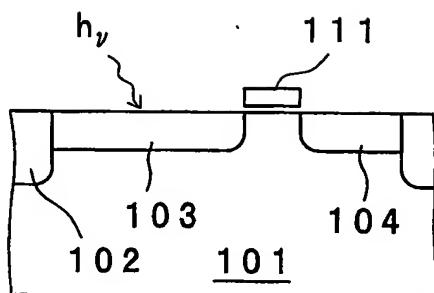
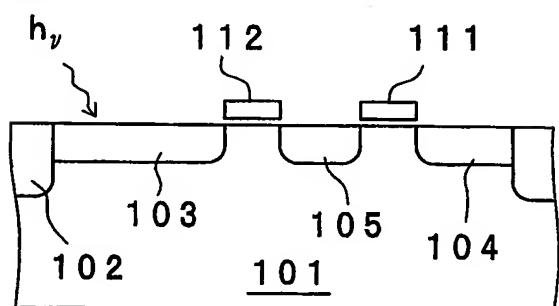
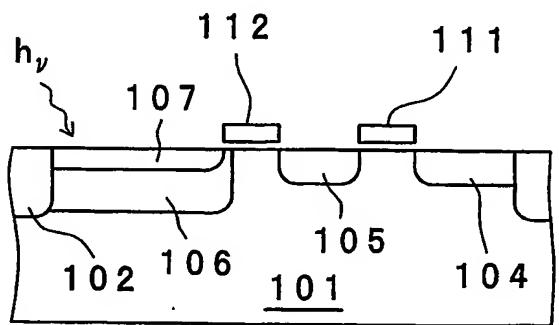
*Fig. 4A**Fig. 4B**Fig. 4C*

Fig. 5

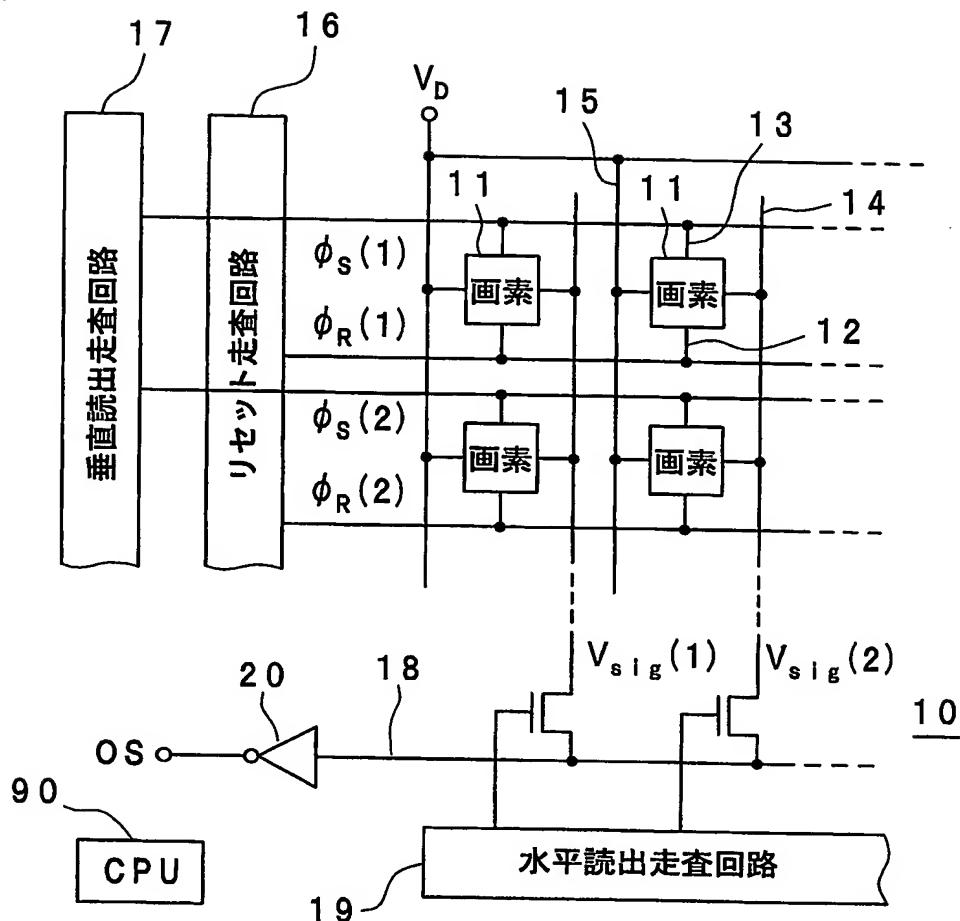


Fig. 6

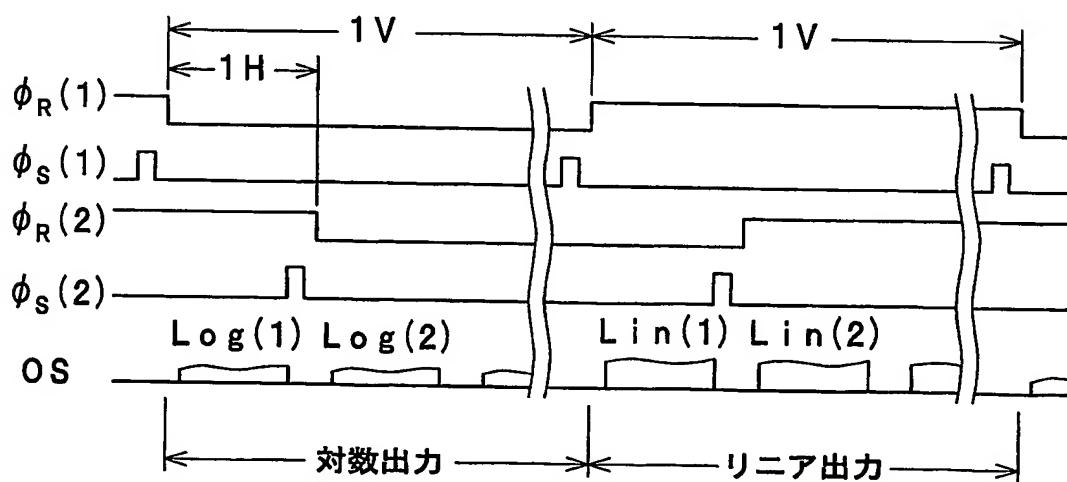


Fig. 7A

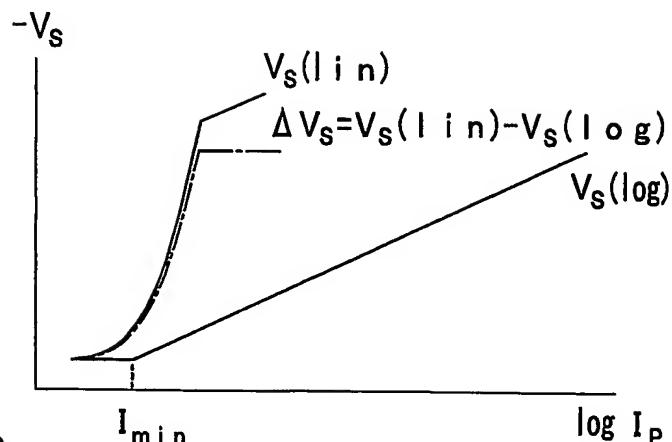


Fig. 7B

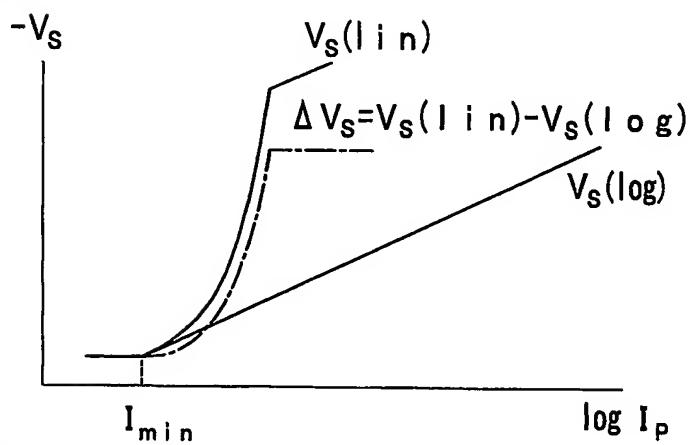


Fig. 7C

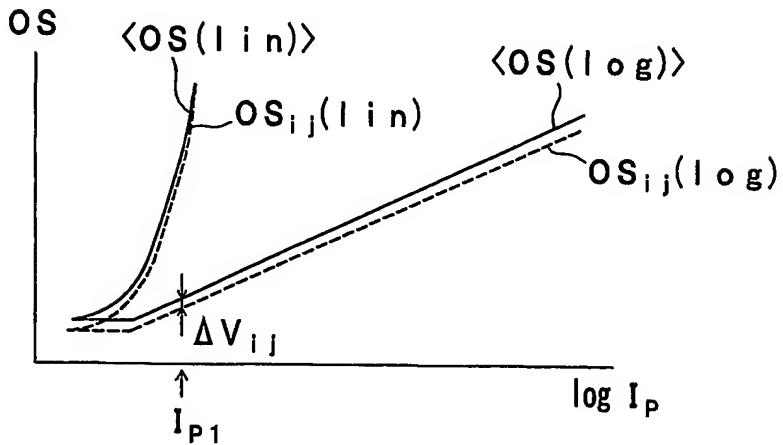


Fig. 8A

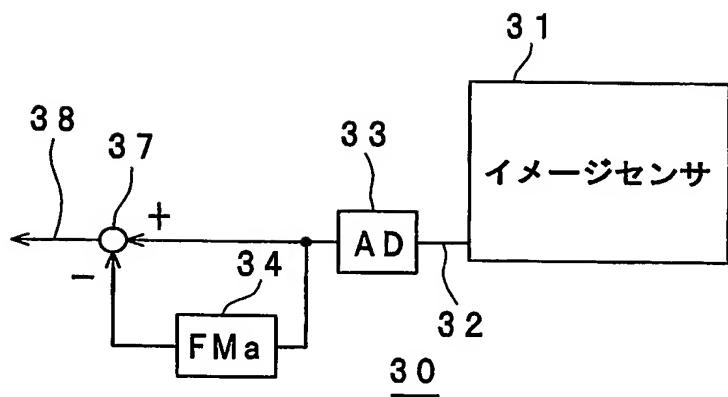
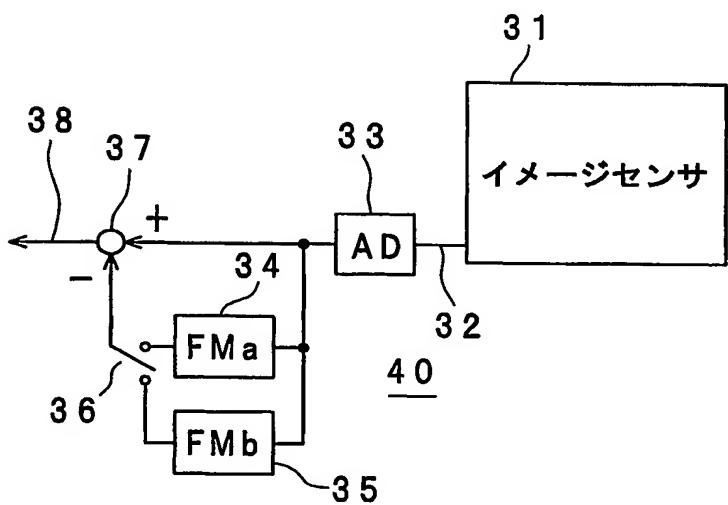


Fig. 8B



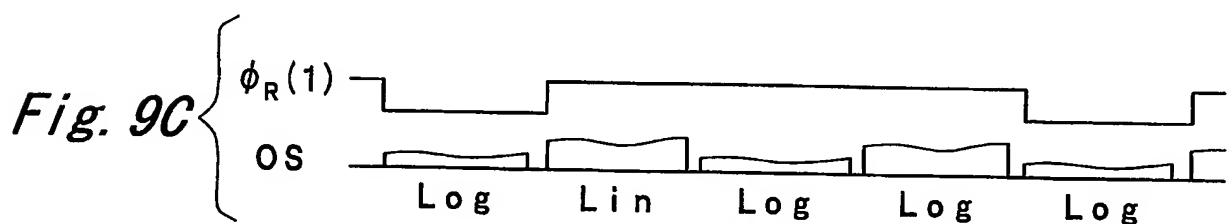
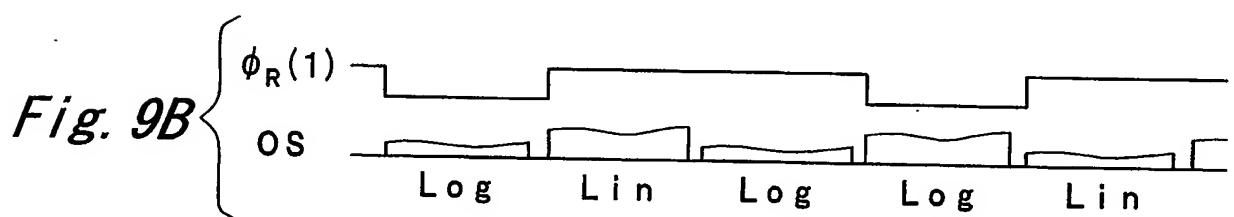
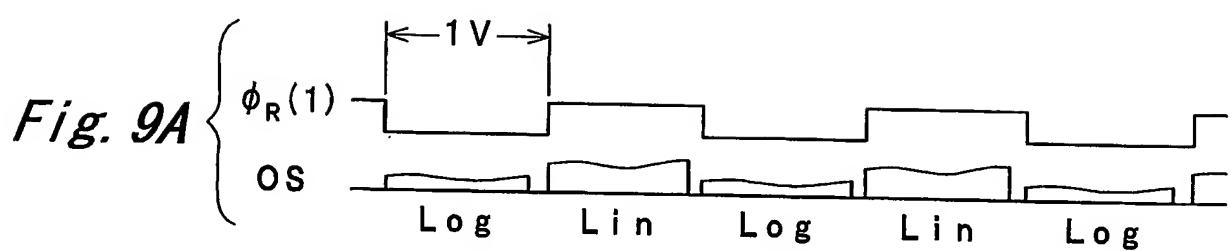


Fig. 10A

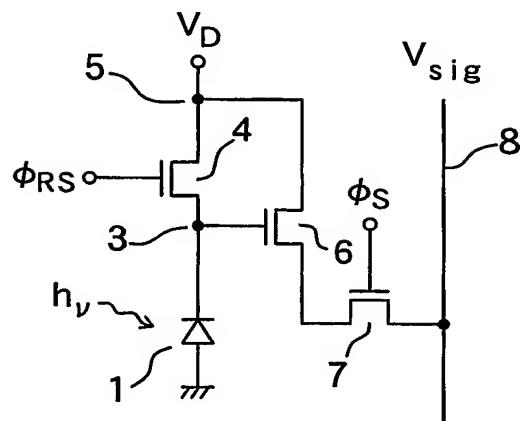


Fig. 10B

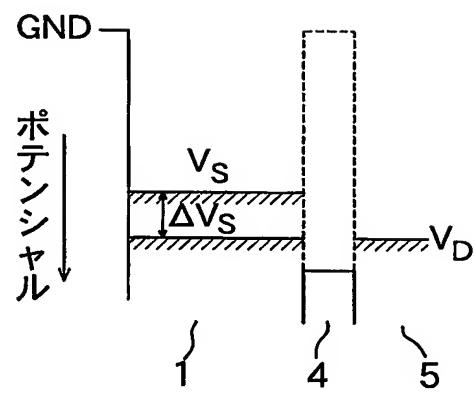


Fig. 11A

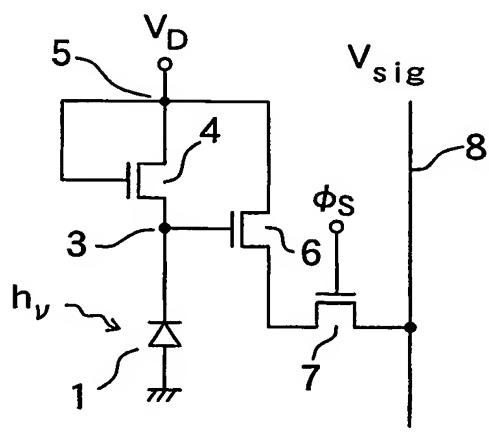


Fig. 11B

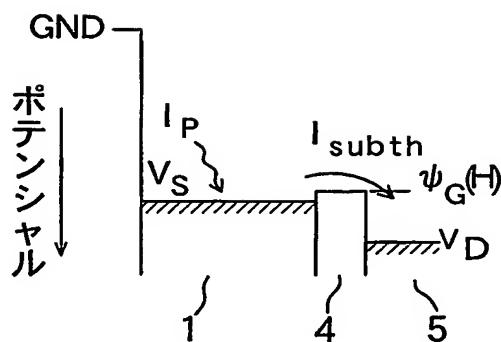


Fig. 12A

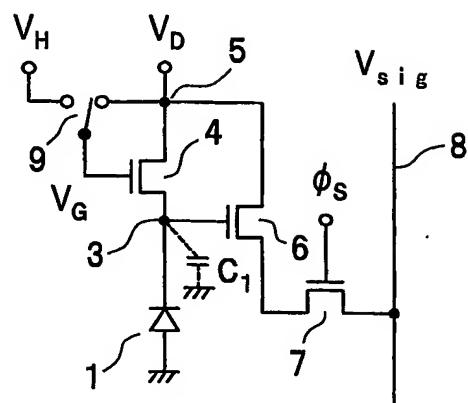


Fig. 12B

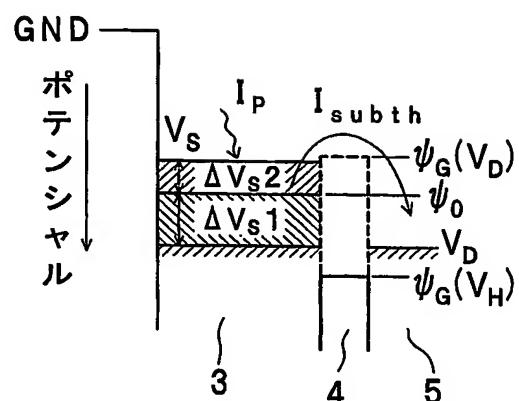


Fig. 12C

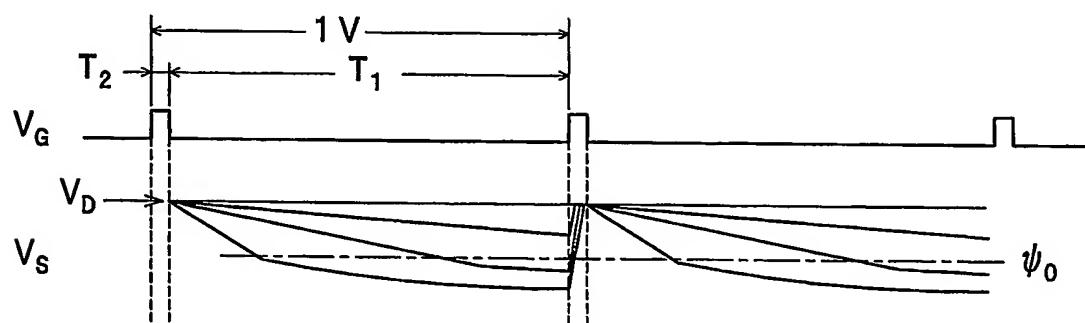
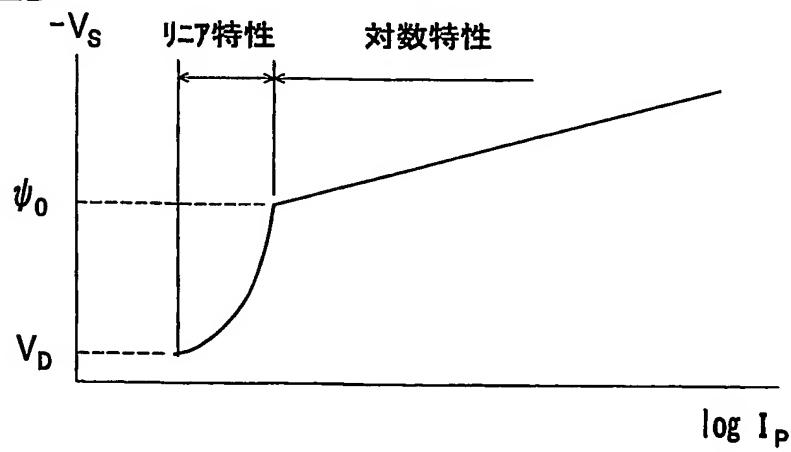


Fig. 12D



## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP03/16550

## A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl<sup>7</sup> H04N5/335

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl<sup>7</sup> H04N5/335, H01L27/146

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2004
Kokai Jitsuyo Shinan Koho	1971-2004	Toroku Jitsuyo Shinan Koho	1994-2004

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

JOIS

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2001-339639 A (Victor Company Of Japan, Ltd.), 07 December, 2001 (07.12.01), Full text; Figs. 1 to 2 (Family: none)	1-4
Y	JP 5-30350 A (Minolta Camera Co., Ltd.), 05 February, 1993 (05.02.93), Full text; Figs. 3 to 11 & US 5289286 A	5-7
A	JP 2001-168311 A (Minolta Co., Ltd.), 22 June, 2001 (22.06.01), Par. Nos. [0115] to [0130]; Figs. 30 to 32 & EP 1041818 A	8
		1-4

Further documents are listed in the continuation of Box C.  See patent family annex.

* Special categories of cited documents:	
"A"	document defining the general state of the art which is not considered to be of particular relevance
"E"	earlier document but published on or after the international filing date
"L"	document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O"	document referring to an oral disclosure, use, exhibition or other means
"P"	document published prior to the international filing date but later than the priority date claimed
"T"	later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X"	document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y"	document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&"	document member of the same patent family

Date of the actual completion of the international search  
05 April, 2004 (05.04.04)

Date of mailing of the international search report  
20 April, 2004 (20.04.04)

Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP03/16550

## C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2002-33961 A (Minolta Co., Ltd.), 31 January, 2002 (31.01.02), Par. Nos. [0038] to [0062]; Figs. 3 to 4 & US 2002/21121 A	1-4

## A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. C17 H04N5/335

## B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. C17 H04N5/335, H01L27/146

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2004年
日本国実用新案登録公報	1996-2004年
日本国登録実用新案公報	1994-2004年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

JOIS

## C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	JP 2001-339639 A (日本ビクター株式会社) 2001.12.07, 全文, 第1-2図 (ファミリーなし)	1-4
Y		5-7
A		8
Y	JP 5-30350 A (ミノルタカメラ株式会社) 1993.02.05, 全文, 第3-11図 & US 5289286 A	5-7

 C欄の続きにも文献が列挙されている。 パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの  
 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの  
 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)  
 「O」口頭による開示、使用、展示等に言及する文献  
 「P」国際出願日前で、かつ優先権の主張の基礎となる出願

## の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの  
 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの  
 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの  
 「&」同一パテントファミリー文献

国際調査を完了した日

05.04.2004

国際調査報告の発送日

20.4.2004

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

徳田 賢二

5P 3137

電話番号 03-3581-1101 内線 3502

C (続き) 関連すると認められる文献		関連する 請求の範囲の番号
引用文献の カテゴリ*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	
A	JP 2001-168311 A (ミノルタ株式会社) 2001. 06. 22, 段落番号【0115】-【0130】, 第30-32図 & EP 1041818 A	1-4
A	JP 2002-33961 A (ミノルタ株式会社) 2002. 01. 31, 段落番号【0038】-【0062】, 第3-4図 & US 2002/21121 A	1-4